

M
E
N
U[Previous Doc](#)[Next Doc](#)
[First Hit](#)[Go to Doc#](#)

Generate Collection

L22: Entry 5 of 7

File: JPAB

Dec 10, 1993

PUB-NO: JP405325598A

DOCUMENT-IDENTIFIER: JP 05325598 A

TITLE: SEMICONDUCTOR STORAGE DEVICE

PUBN-DATE: December 10, 1993

INVENTOR-INFORMATION:

NAME

COUNTRY

SHIOZAKI, SHUZO

NAKAMURA, HIROYA

OKUZAWA, KIYOTAKA

OGATA, YOSHIHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TEXAS INSTR JAPAN LTD

APPL-NO: JP04155689

APPL-DATE: May 22, 1992

US-CL-CURRENT: 714/718

INT-CL (IPC): G11C 29/00; G11C 29/00; H01L 27/10

ABSTRACT:

PURPOSE: To provide a semiconductor storage device which can locate a faulty bit at least to the extent of a word in a memory cell block in the case of a multibit parallel test.

CONSTITUTION: Plural memory cells are divided into plural memory blocks 1 consisting of respective subblocks 2 and the multibit parallel test is conducted by the memory block 1. This multibit parallel testing circuit has a compressing circuit 4 which compresses and outputs only test data on memory cells connected to the same word line.

COPYRIGHT: (C)1993, JPO&Japio

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-325598

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
G11C 29/00	303 B	6741-5L		
	301 B	6741-5L		
H01L 27/10	481	8728-4M		

審査請求 未請求 請求項の数3(全10頁)

(21)出願番号 特願平4-155689

(22)出願日 平成4年(1992)5月22日

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都港区北青山3丁目6番12号 青山富士ビル

(72)発明者 塩▲崎▼ 修三

茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内

(72)発明者 中村 浩也

茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内

(74)代理人 弁理士 佐藤 隆久

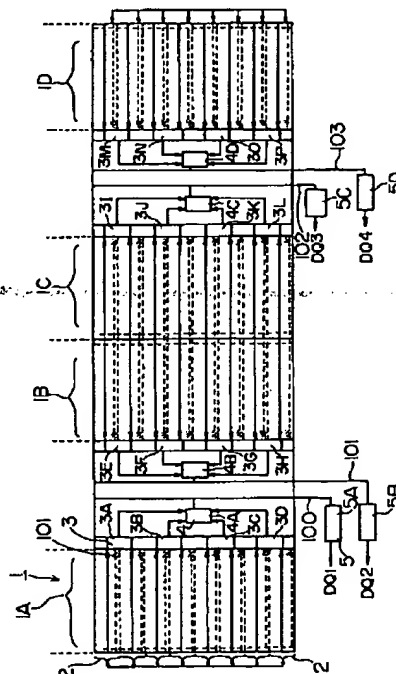
最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】多ビット並列試験において、すくなくともどここのメモリセルブロック内のどここのワード上に不良ビットが存在するかを検出することができる半導体記憶装置を提供することを目的としている。

【構成】複数のメモリセルがそれぞれのサブブロック2から成る複数のメモリブロック1に分割され、それぞれのメモリブロック1ごとに多ビット並列試験を行う回路を有する半導体記憶装置であって、上記多ビット並列試験回路は、同一ワード線につながっているメモリセルの試験データのみを圧縮して出力する圧縮回路4を有する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 複数のメモリセルがそれぞれ複数のサブブロックからなる複数のメモリブロックに分割され、それぞれのメモリブロックごとに多ビット並列試験を行う回路を有する半導体記憶装置において、上記多ビット並列試験は同一ワード線につながっているメモリセルの試験データのみを圧縮して出力する圧縮回路を有することを特徴とする半導体装置。

【請求項2】 前記圧縮回路は、メモリセルの試験データのみを圧縮して各メモリブロックごとに出力することを特徴とする請求項1項に記載の半導体記憶装置。

【請求項3】 複数のメモリセルがそれぞれ複数のサブブロックからなる複数のメモリブロックに分割され、それぞれのメモリブロックごとに多ビット並列試験を行う回路を有する半導体装置において、前記メモリブロックごとに各々冗長回路を持ち、前記冗長回路内の一回路の置き換えは前記各メモリブロック全部に対して冗長回路を置き換えることによって行うことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体記憶装置に係り、特に半導体記憶装置における多ビット並列試験（パラレル・リード・ライト・テスト）回路に関するものである。

【0002】

【従来の技術】 従来の半導体メモリ装置では、例えばDRAMにおける多ビット並列試験時に各メモリセル・ブロックから出力される複数のセル・データを細くグループ分けして、それらグループ間でデータを圧縮しデータ・サイズが小さくなるようにしてから読み出し、データを出力するものがある。

【0003】 図10はかかる半導体メモリ装置のメモリセルブロックから多ビットのデータを並列に読み出す方法の一例を示すブロック図である。その図10において、50はそれぞれ少なくとも2本以上の選択されたワードを含む活性化された各メモリセルブロック50A～50Dから成る全メモリセルブロック50を示す。それぞれのメモリセルブロック50A～50Dは、複数のセル・データが細かく例えば、8個ずつ分けたサブブロック51からなる。上記メモリセルブロック50A～50Dでは、多ビット並列試験時にデータのグルーピングが行われる。メモリセルブロック50A～50Dのそれぞれのサブブロック51から出力されたデータは、第1段階の16か所の圧縮部51a～51pから第1の圧縮された出力データが第2段階のデータ圧縮部52であるデータ圧縮部52a～52dのそれぞれの4つの入力ポートに入力される。データ圧縮部52a～52dの出力ポートからは、共通データバスライン400～403を経て第2の圧縮された出力データが第3段階のデータ圧縮

部を含む出力回路53に入力され、該出力回路53から第3の圧縮された出力データが出力される。以上のようにして従来の半導体メモリ装置では、サブブロック51から出力されたデータが第1段階のデータ圧縮部51～第3段階のデータ圧縮部である出力回路53から出力DQが転送される。

【0004】 上記半導体メモリ装置の多ビット並列試験時における試験データの読出し方法では、全メモリセルブロック50から出力されたデータのすべてが、例えば予め書き込んだデータと全く同じ電圧レベル「1」であるときには、ハイ（H）レベル出力が出力回路53から出力し、また全メモリセルブロック50から出力されたデータのすべてが、例えば同一電圧レベル「0」であるときには、ロー（L）レベル出力が出力回路53から出力される。一方、全メモリセルブロック50から出力されたデータ群のうち、例えば1つでも書き込んだデータと異なるデータ、いわゆる不良データが存在する場合は出力回路53はハインピーダンス（HZ）状態となる。

20 【0005】 上記半導体メモリ装置の多ビット並列試験時における試験データの読出方法では、例えば、図11及び図12に一例を示すデータ圧縮回路によりデータの圧縮が行われる。第1段階のデータ圧縮部54は、例えば、ORゲート54A～54Dから構成する。ORゲート54A～54Dの入力側には、メインI/OバスMI00～MI031、メインI/OバスMI00～（ここで、一は反転入力信号を意味するものである）～MI031が入力する。一方、ORゲート54A～54Dのゲート出力は、第2段階のデータ圧縮部55を構成するORゲート55A、55Bに入力される。ORゲート55A、55Bのゲート出力は、転送ゲート56を構成するN形トランジスタ56a、P形トランジスタ56bのゲートに接続され、N形トランジスタ56a、P形トランジスタ56bのドレインより、出力A₀、B₀が得られる。ここで、先の図10の第1段階のデータ圧縮部51a～51dと図11のORゲート54A～54Dが対応し、第2のデータ圧縮部52aとORゲート55A、55Bが対応する。

40 【0006】 この動作は、表1に示す論理テーブルで表される。MI0X（Xは0～31）、MI0X-（Xは0～31）、A、Bは転送ゲート56の出力を示す

例えば、MI0X（Xは0～31）、MI0X-（Xは0～31）が共にロー（L）レベルのときには、転送ゲート56の出力電圧Aはロー（L）レベル、転送ゲート56の出力電圧Bはハイ（H）レベルになる。また、例えば、MI0X（Xは0～31）がハイ（H）レベルで、MI0X-（Xは0～31）がロー（L）レベルのときには、転送ゲート56の出力電圧Aはハイ（H）レベル、転送ゲート56の出力電圧Bはロ

ー (L) レベルになる。

【0007】図12は図10の出力回路53である第3段階のデータ圧縮部からなる出力回路57である。図12の入力端子A₀ ~ B₃ のうちA₀, B₀ は図11の出力、A₁, B₁, A₂, B₂, A₃, B₃ については図10の第2の圧縮部52bの図11で省略したA₁, B₁ 出力、A₂, B₂ 出力、A₃, B₃ 出力を示すものである。図11の転送ゲート56からの出力が共通バスラインの入力端子A₀、B₀ と入力端子がそれぞれ接続されるのは、OR回路58とEX-OR回路59である。EX-OR回路59の出力は、AND回路61の入力端子に入力され、OR回路58の出力は、AND回路60を経て前記AND回路60の入力端子に入力される。AND回路60の出力は、転送ゲート62に入力され、AND回路60の出力に応じて出力端子D_{out} から出力される。

【0008】表3に示す論理テーブルは、図11の転送ゲート56の出力端子と接続される共通バスラインの入力A₀ ~ A₃、B₀ ~ B₃ と、上記AND回路60の出力D₀ の電圧レベルを示すものである。例えば、入力A₀ ~ A₃ の電圧レベルがロー (L) レベルで、入力B₀ ~ B₃ の電圧レベルがハイ (H) レベルの際は、出力D₀ の電圧レベルはハイ (H) レベルになる。また、入力A₀ ~ A₂ の電圧レベルがロー (L) レベル、入力A₃ の電圧レベルがハイ (H) レベルのとき、入力B₀ ~ B₂ の電圧レベルがハイ (H) レベル、入力B₃ の電圧レベルがロー (L) レベルの際には、出力回路は高インピーダンス (HZ) 状態となる。ここで高インピーダンスとは3ステート出力のオフ状態をいう。

【0009】図13は上記半導体メモリ装置として、例えばDRAMを用いた場合の基本構成及びメモリ構成を示す説明図である。このDRAMでは、メモリ領域を256kBごとの小さなメモリA~P単位に分割され、マト (MAT) 毎に選択及び活性化され、情報の授受がこれらのマトを通して行われる。例えば、マトの構成が図13の下部に示すようにマトリクス状のセル配置からなる場合には、特定のセルを選択して読み/書きの動作をさせ、先ず外部よりのアドレス・データに対応して活性化されたマト当たり1本のワード線が選択される。所望のワード線が選択された際には、ワード線に接続されるセルの読出データがそれぞれ対応するセンスアンプ70により増幅され、半導体メモリ装置の多ビット並列試験時における試験データが読み出される。

【0010】

【発明が解決しようとする課題】しかし、上記多ビット並列試験の結果を用いて、各メモリブロック内の不良ビットに対して図14の点線で示すように冗長回路 (リダンダンシー回路) に置き換える場合には、図13に示すように複数の選択されたワードのそれぞれを含む活性化された図14の全メモリセルブロック50からデータが最小1つまで圧縮されてから試験結果として圧縮データ

が出力DQされるため、どこのメモリセルブロック50A~50D内のどこのワード上に不良ビットが存在するかが判らなくなる虞れがあった。さらに、不良アドレスをロー (Row) アドレス上で特定して行う冗長記憶部に対するレーザ置き換え試験などにおいては、多ビット並列試験方式を導することができないという不具合もあった。

【0011】そこで、本発明は、多ビット並列試験において、すくなくともどこのメモリセルブロック内のどこのワード上に不良ビットが存在するかを検出することができる半導体記憶装置を提供することを目的としている。

【0012】

【課題を解決するための手段】上記課題を解決するための手段として本発明は、複数のメモリセルがそれぞれ複数のサブブロックからなる複数のメモリブロックに分割され、それぞれのメモリブロックごとに多ビット並列試験を行う回路を有する半導体記憶装置であって、上記多ビット並列試験は同一ワード線につながっているメモリセルの試験データのみを圧縮して出力する圧縮回路を有する。また、好ましくは、メモリセルの試験データのみを圧縮して各メモリブロックごとに出力する。さらに、複数のメモリセルがそれぞれ複数のサブブロックからなる複数のメモリブロックに分割され、それぞれのメモリブロックごとに多ビット並列試験を行う回路を有する半導体装置であって、前記メモリブロックごとに各々冗長回路を持ち、前記冗長回路内の一回路の置き換えは前記各メモリブロック全部に対して冗長回路を置き換えることによって行う。

【0013】

【作用】多ビット並列試験の際に半導体記憶装置は、同一ワード線につながっているメモリセルの試験データのみを圧縮して出力する。またメモリセルの試験データのみを圧縮して各メモリブロックごとに出力する。それ故、多ビット並列試験時には、その試験データから不良ビットの位置がどのブロックのどのワードであるかを特定し、試験結果に応じた対応をすることができるようになる。

【0014】

【実施例】本発明の実施例について図に基いて説明する。図1は本発明の半導体記憶装置の実施例を示すもので、メモリ装置のメモリセルブロックから試験データを多ビット並列試験時に読み出すことを示すブロック図である。この図1において、符号1は少なくとも2本以上の選択されたワードを含む活性化された各メモリセルブロック1A~1Dからなる全メモリセルブロック1を示す。それぞれのメモリセルブロック1A~1Dは、複数のセル・データが細かく例えば、8個ずつ分けたサブブロック2からなる。上記メモリセルブロック1A~1Dでは、多ビット並列試験時にデータのグルーピングが行

われる。

【0015】メモリセルブロック1A~1Dのそれぞれの隣接するサブブロック2から出力された試験データは、第1段階の16か所の圧縮部3である圧縮部3A~3Pから第1の圧縮された出力データが第2段階のデータ圧縮部4であるデータ圧縮部4A~4Dのそれぞれの4つの入力ポートに入力される。データ圧縮部4A~4Dの出力ポートからは、共通データバスライン100~103を経て出力回路5A~5Dに入力され、該出力回路5A~5Dから圧縮された出力データDQ1~DQ4

10 がそれぞれ個別に出力される。この半導体記憶装置では、隣接されたサブブロック2から出力された試験データが第1段階及び第2段階のデータ圧縮部3, 4で圧縮された後、ゲート回路で構成される出力回路5A~5Dを経て出力された試験データが各メモリマツト毎の独立した出力DQ1~DQ4として得られる。

【0016】上記グループ間で圧縮したデータは、それぞれのメモリセルブロック毎に専用の上記出力回路5A~5Dを持ち試験データを出力することにより、多ビット並列試験時に不良ビットがどこのメモリセルブロック1のどのデータの出力DQ1~DQ4であるかを認識することができるので、不良ビットに対してロー(Row)リダグダンシー(冗長)回路での置き換えが可能になる。

【0017】上記半導体メモリでは、例えば、図2及び図3に一例を示すデータ圧縮回路によりデータの圧縮が行われる。第1段階のデータ圧縮部6は、例えばORゲート6A~6Dから構成される。ORゲート6A~6Dの入力側には、メインI/OバスMI00~MI031、メインI/OバスMI00- (ここで、-は反転入力信号を意味するものである)~MI031-が入力される。一方、ORゲート6A~6Dのゲート出力は、第2段階のデータ圧縮部7を構成するORゲート7A, 7Bに入力される。ORゲート7A, 7Bのゲート出力信号は、転送ゲート8を構成するトランジスタ7A, 7Bを経てゲート出力A, ゲート出力Bとして出力される。これは、先の図1の第1段階のデータ圧縮部3A~3Dと図2のORゲート6a, 6bが対応し、第2のデータ圧縮部4a, 4bとORゲート7A, 7Bが対応する。

【0018】この際の動作を示すものは、表1に示す論理テーブルである。MI0X(Xは0~31)、MI0X-(X-は0~31-)、A, Bは転送ゲート7の出力を示すものである。例えば、MI0X(Xは0~31)がロー(L)レベルで、MI0X-(X-は0~31-)がハイ(H)レベルのときには、転送ゲート7の出力電圧Aはロー(L)レベルで、転送ゲート7の出力電圧Bはハイ(H)レベルになる。また、例えば、MI0X(Xは0~31)がハイ(H)レベルで、MI0X-(X-は0~31-)がロー(L)レベルのときには、転送ゲート7の出力電圧Aは、ハイ(H)レベ

ル、転送ゲート7の出力電圧Bは、ロー(L)レベルになる。

【0019】図3はデータ出力回路部を示す図で、図2の転送ゲート7からの出力が共通バスラインの入力端子A0~A3、B0~B3と入力端子がそれぞれ接続されるのは、排他的論理和(EX-OR)回路8で、EX-OR回路8A~8Dのそれぞれの入力端子が接続されている。EX-OR回路8A~8Dの出力と上記入力端子A0~A3、B0~B3から送出される出力は、論理和回路9のAND回路9A~9Dの入力信号として供給される。AND回路9A~9Dの論理出力がハイ(H)レベルの際には、転送ゲート10を構成するトランジスタ10a, 10bのゲートに所定のしきい値電圧を印加してトランジスタ10a, 10bを動作させ、トランジスタ10aのソースとトランジスタ10bのドレイン間のノードAより出力端子DoutにDQ0~DQ3を出力する。

【0020】上記データ出力回路部では、出力端子Doutからの出力DQ0~DQ3により、読出しデータのバス及びフェイルの判定をすることができる。例えば、多ビット並列試験時に、グルーピングされる複数のセルデータがすべて「1」データ、すなわちハイ(H)レベルの場合には、上記データ出力回路部の出力端子Doutからハイ(H)レベルの出力電圧が出力され、「0」データ、すなわちロー(L)レベルの場合には、データ出力回路部の出力端子Doutからロー(L)レベルの出力電圧が出力される。また、グルーピングされた複数のセルデータの中にデータ「0」、データ「1」が混在する際には、高インピーダンス状態であるHZレベルになる。従って、データ出力回路部ではロー(L)レベル、ハイ(H)レベル、HZレベルのいずれかが出力されるかを判定するとにより、読出しデータのバス及びフェイルの可否の判定を容易にすることが可能になる。

【0021】図4~図6は上記不良ビットに対してロー(Row)リダグダンシー(冗長)回路)での置き換えをする際に用いるリダグダンシーの例を示す説明図である。図4と図5はX方向のリダグダンシーを示すもので、図6(A)~図6(D)はY方向のリダグダンシーを示すものである。図1~図3で用いた構成の符号については、ここでは詳しい説明を省略する。図4において、X方向のリダグダンシーは少なくとも各メモリセルブロック1においてビットラインと直交するように切れ目なく構成される。Aは図5(A)に示すX方向のリダグダンシーの一部を拡大して示すもので、Bは図5(B)X方向のリダグダンシーの一部を拡大して示すもので、リダグダンシーセルを示すものである。図4におけるCは256ビットライン、EはビットラインからのデータをメインI/Oラインに伝えるためのサブI/Oラインである。図4におけるF、GはメインI/Oラインで、図2のOR回路6A~6Dの入力端子と接続さ

7

れ、OR回路6A～6Dで第1のデータ圧縮が行なわれる。図4におけるHはバス・ゲート回路を示すもので図8にこの回路を示す。

【0022】図6はY方向のリダングダンシーを示すもので、Y方向のリダングダンシーは最小グループである256ペアのビットラインのそれぞれの中に専用化され、他のグループには第1段階のデータ圧縮が複雑になるため、越境させないように設置されている。図6(A)～図6(D)において、Aはビットラインを示すもので、図6(A)及び図6(B)は例えば、8個のグループに分割し、それぞれ256ペアのビットラインからなるように構成する。図6におけるCはセンスアンプ、DはYリダングダンシーで4本ペアのビットラインを1本のYsでコントロールし、図6(D)は図6(A)及び図6(B)のように8つのグループから構成される。図6におけるEはYリダングダンシーを示すもので、Fは本ビットライン、G、HはメインI/Oを示すものである。

【0023】図7は多ビット並列試験回路とその周辺の上記セル、センスアンプ、サブI/Oライン、バスゲート回路及びメインI/Oラインの具体的接続位置を示す配線図である。図7において、Aはワードライン、Bは第1の転送ゲートの制御ラインである。また、図7におけるCはサブI/Oラインで、例えば4本のペアからなる。図7において、Dは第2の転送ゲートの制御ライン、Eはビットライン、Fはセルで、Gはセンスアンプ、Jは図8のインバータK1とトランジスタK2、K3から構成される回路より成る試験回路であるバスゲート回路、LはメインI/Oラインである。YリダングダンシーY₀、Y₁・・・は、ビットラインのデータをサブI/Oに伝送するための制御信号である。バスゲート回路Kは、サブI/OラインとメインI/OであるLとのジョイント回路で、メインI/Oに増幅機能を持たせるときには、バスゲート回路Kがスイッチング動作をする。図8のバスゲート回路Kに入力するBS₀はアドレスのデータを含むものである。以上の半導体記憶装置では、図1の第1及び第2の圧縮部3A～3P、4A～4Dで圧縮した試験データをバスゲート回路Kよりそれぞれのメモリセルブロック1A～1D毎に専用の記出力回路5A～5Dから出力させることにより、多ビット並列試験時に不良ビットがどこのメモリセルブロック1のどのデータの出力DQ1～DQ4であるかを認識することができるので、不良ビットに対して上記リダングダンシー(冗長)回路での置き換えをすることが可能になる。

【0024】次に、本発明の第2実施例について説明する。上記半導体記憶装置を多ビット並列試験する際には、データのグループ化が行われる図1のメモリセルブロック1A～1D内の、例えば8つに分割されたサブブロック毎にカラムリダングダンシーを持ち、かつその一つのカラムリダングダンシーを置き換える際に、各メモリセルブロック1A～1D内のサブブロックのカラムリダ

8

ングダンシーの全てが置き換えられるようにすることにより、メモリセルブロック1A～1D内で圧縮された後の不良データがどこのカラムデータであるか確認することなく、カラムの置き換えをすることが可能になる。

【0025】次に、本発明の第3の実施例について説明する。図9は半導体記憶回路の図1の全メモリセルブロック1から多ビット並列試験時に、試験データを読み出す方法の一実施例の変形例を示すブロック図である。図1と同一の構成については同一の符号を付し、ここでは詳しい説明を省略する。データ比較部20は、第2のデータ圧縮部4からなるデータ圧縮回路4A～4Dからの出力と、基準となる比較データ入力部21の入力データに基いてDQ1～DQ4を出力する。これにより、半導体チップ内部で多ビット並列試験する際に、半導体チップの出力端側からバスの時にハイ(H)レベルが出力され、フェイルの時にロー(Low)レベルを出力するように設定することも可能になる。表2のAはデータ圧縮回路4A～4Dからの出力で、Bは基準となる比較データ入力部21からの出力を示すもので、期待値はA、Bの比較出力として期待される値をいい、D₀は実際の出力値をいう。例えば、データ圧縮回路4A～4Dからの出力Aがロー(L)レベルで、基準となる比較データ入力部21からの出力Bがハイ(H)レベルの際には、期待値のロー(L)レベルと逆の実際の出力値D₀がハイ(H)レベルである際には、バスであることが認識できる。また、データ圧縮回路4A～4Dからの出力Aがハイ(H)レベルで、基準となる比較データ入力部21からの出力Bがロー(L)レベルの際には、期待値がX(禁止)となり、実際の出力値D₀はロー(L)レベルになり、フェイルであることが認識できる。従って、多ビット並列試験する際には、データ比較部20からの出力に基いてバスまたはフェイルの可否の判定を半導体チップの出力ポートからすることができるようになる。

【0026】以上の実施例では、半導体記憶装置として、DRAMについて説明したが、SRAM、その他のメモリにも適用することができる。

【0027】

【発明の効果】上記のように本発明によれば、多ビット並列試験時に不良ビットがどこのメモリセルブロックのどのデータの出力であるかを認識することができるので、不良ビットに対してローリダングダンシーでの置き換えを可能にすることができる。また、各メモリセルブロックのカラムリダングダンシーの全てを置き換えるようにすることにより、メモリセルブロック間で圧縮された後の不良データがどこのカラムデータであるかを確認することなく、カラムの置き換えをすることが可能になる。そのため、レーザ置き換え試験において、多ビット並列試験が導入出来るようになり、結果的にレーザ置き換え試験時におけるテストタイムの短縮を図ることができるなどの優れた効果を奏することができる。

【図面の簡単な説明】

【図1】本発明の半導体記憶装置の実施例のブロック図である。

【図2】本発明の半導体記憶装置の一実施例の第1および第2の圧縮回路を示すものである。

【図3】本発明の半導体記憶装置の一実施例の出力回路を示すものである。

【図4】本発明の半導体記憶装置の実施例のリダンダンシー回路を示す回路図である。

【図5】本発明の半導体記憶装置の実施例のリダンダンシー回路を示す回路図である。

【図6】本発明の半導体記憶装置の実施例のリダンダンシー回路を示す回路図である。

【図7】本発明の半導体記憶装置の実施例の多ビット並列試験回路とその周辺の上記セル、センスアンプ、サブI/Oライン、バスゲート回路及びメインI/Oラインの具体的接続位置を示す配線図である。

【図8】本発明の半導体記憶装置の実施例のバスゲート回路の例を示す回路図である。

【図9】本発明の半導体記憶装置の別の実施例のブロッ

ク図である。

【図10】従来の半導体記憶装置の一例を示すブロック図である。

【図11】従来の半導体記憶装置の第1および第2の圧縮回路を示すものである。

【図12】従来の半導体記憶装置の第3の圧縮回路を示すものである。

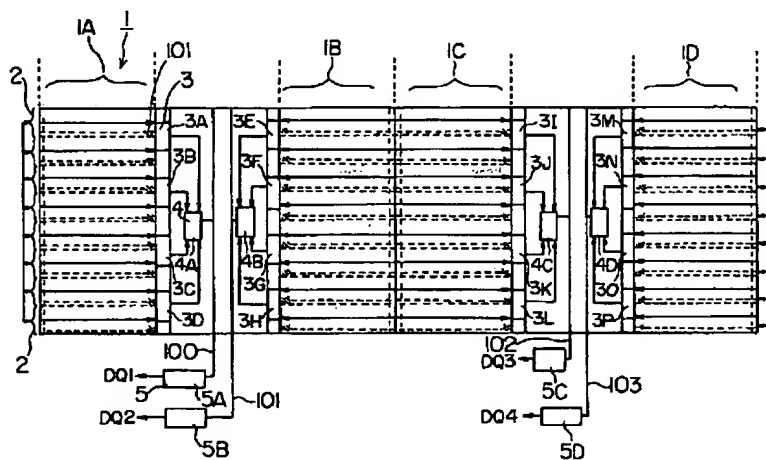
【図13】従来の半導体記憶装置のマトの構成を示す図である。

【図14】従来の半導体記憶装置における多ビット並列試験の結果を示すブロック図である。

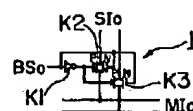
【図面の簡単な説明】

- | | |
|----|-------------|
| 1 | 全メモリセルブロック |
| 2 | サブメモリセルブロック |
| 3 | 第1の圧縮回路 |
| 4 | 第2の圧縮回路 |
| 5 | 出力回路 |
| 20 | 出力回路 |
| 21 | 比較データ出力部 |

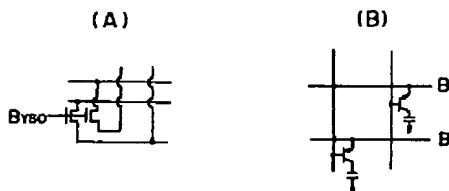
【図1】



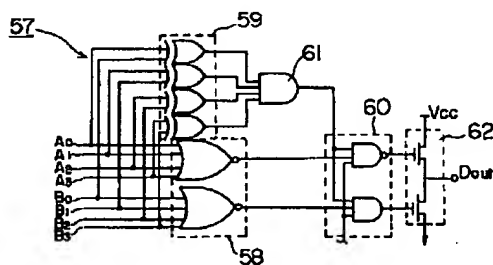
【図8】



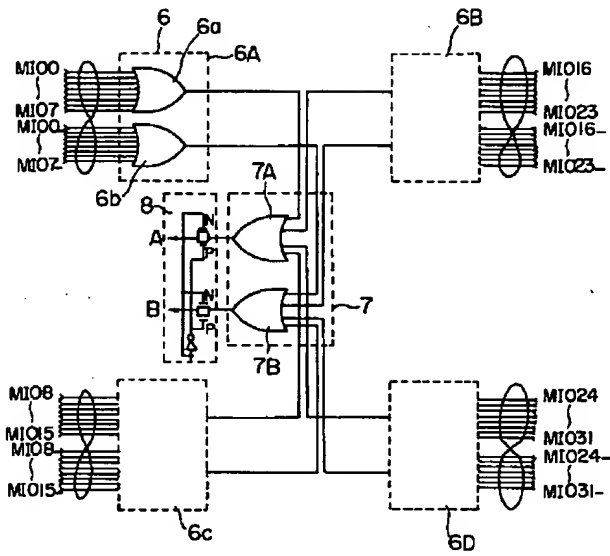
【図5】



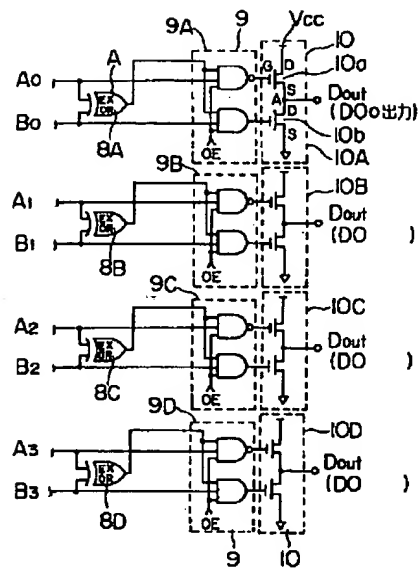
【図12】



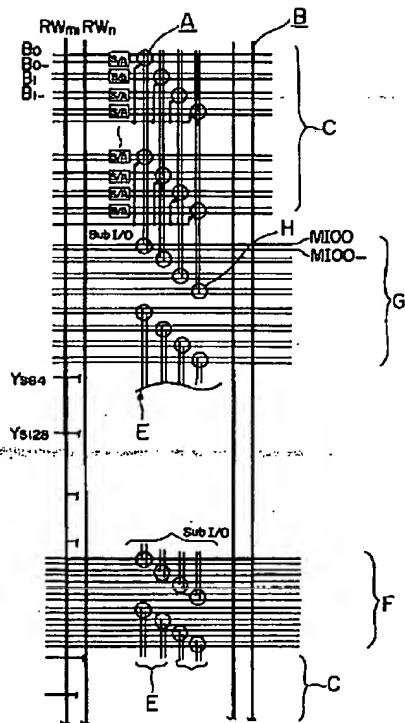
【図2】



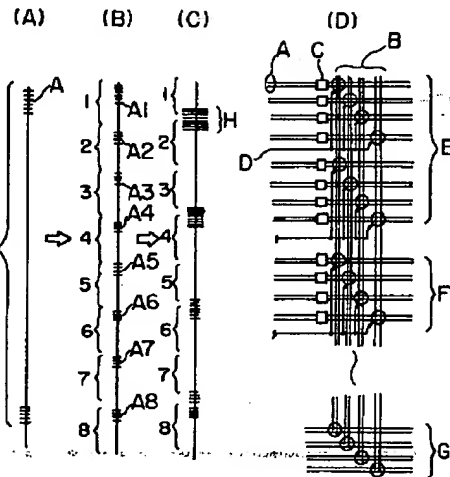
【図3】



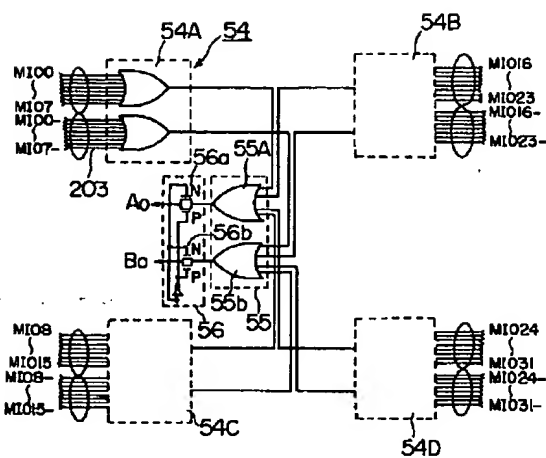
【図4】



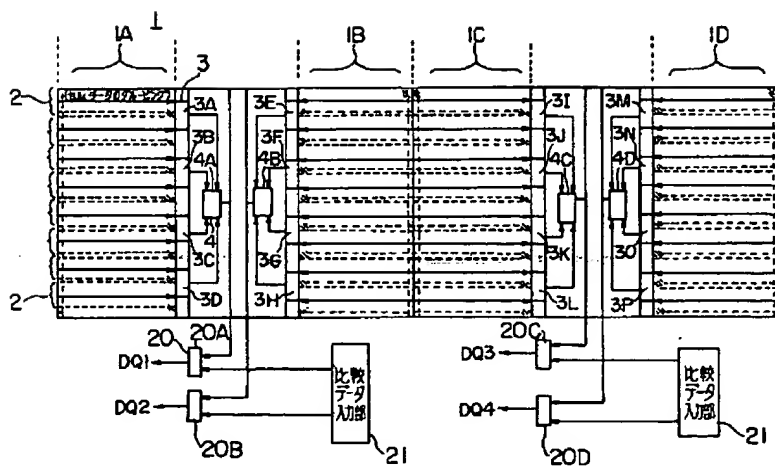
【図6】



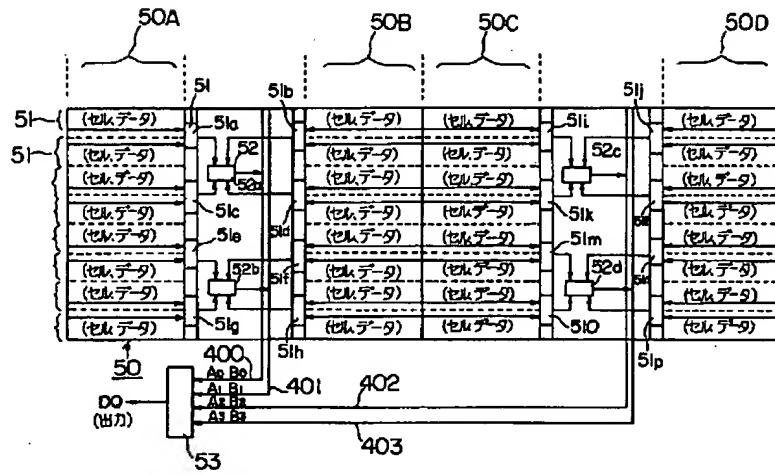
【図 1 1】



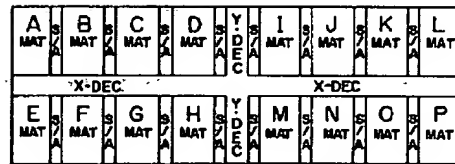
【図9】



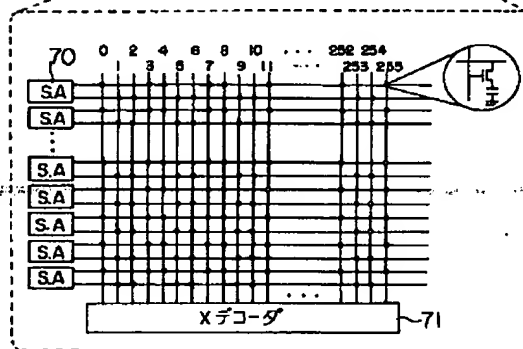
【図10】



【図13】



マツト構成図



【図14】

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.